دراسة علاقة التردد والزمن الدوري لإشارة الخرج مع تردد نبضات الساعة ضمن الـFPGA

عدي الإبراهيم*، غسان ناشد، محمد أنور بطل ****

* طالب دراسات عليا (ماجستير)، قسم الفيزياء، كلية العلوم، جامعة حلب

**قسم الفيزياء، كلية العلوم، جامعة حلب

الملخص

تمت دراسة علاقة الزمن الدوري وتردد الخرج لإشارة مولدة باستخدام الـ FPGA مع نبضات الساعة. وتمت دراسة علاقة لتحديد الزمن الدوري للخرج بقيمة مدخلة. القيمة المدخلة ستكون عبارة عن عدد مؤلف من 3 خانات عشرية تدخل عن طريق متحولات مستقلة. وتطوير العلاقة من أي مجال زمن دوري ممكن ضمن شرط ألا يقل الزمن الدوري عن زمن نبضات الساعة ولا يزيد التردد المولد على تردد نبضات الساعة. العلاقات المستنتجة تسمح لأول مرة بتغيير الزمن الدوري والتردد في خرج الأجهزة القابلة للبرمجة بدون الحاجة لإعادة برمجتها أو ربطها بأي مكونات إضافية كالمكثفات التي تستخدم في مولدات الإشارة التقليدية المعتمدة على المتحكمات المصغرة او المضخمات العملياتية. تم استخدام لغة VHDL في البرمجة وضمن واجهة البرمجة Quartus prime 17.1لدراسة هذه العلاقة.

الكلمات المفتاحية: زمن دوري، نبضات ساعة، علاقة تجريبية، تردد الخرج.

ورد البحث للمجلة بتاريخ 2018/9/25

قُبل للنشر بتاريخ 2018/11/13

Study of the Relation Between the Frequency and Turn-Time of the Output Signal with CLK Frequency on FPGA Device

Odai AL-ebraheem*, G. Nasheed **, M. A. Batal,**
Postgraduate Student (MSc), Dept. of Physics, Faculty of Science, University of Aleppo
**Dept. of Physics, Faculty of Science, University of Aleppo

Abstract

The research studies the relation between the frequency and turn-time with CLK frequency on FPGA chip. Many studies that had been carried out earlier gave constant frequency or limited relation that gave short range for modulation. At this study, we discuss the relations between experimental and simulation values to get the best relation between frequency and periodic- time with CLK, on condition that max frequency value is half of CLK frequency. The study shows that FPGA chip can generate wide range of frequencies without need for any additional parts like capacitors which are primarily needed for the microcontroller or op-amplifier to generate frequencies. VHDL programing language was used with Quartus prime 17.1 to implement this design.

Key Words: VHDL, FPGA, Turn-time, frequency.

Received 25/9/2018
Accepted 13/11/2018

1- مقدمة:

إن معرفة العلاقة التي تربط تردد الخرج بنبضات الساعة مهم جداً في المجالات التي لتطلب الدقة وتغيير التردد خيارياً كمولدات الإشارة الرقمية وهناك العديد من الدراسة في مجال توليد الإشارة التي اقتصرت على تردد أو اثنين لعدم القدرة على تغيير التردد المولد ألا بتغيير الذاكرة المخزنة كما هو الحال في [1]. وفي دراسة أخرى أيضاً تم وضع علاقة تربط بين تردد الخرج وتردد نبضات الساعة ولكن تشترط هذه الدراسة تحديد قيمة لثابت يرتبط بقيمة تردد نبضات الساعة [2] وأيضاً في دراسة لاستخدام الـFPGA كدارة تغذية عكسية لليزر أوضحت الدراسة أن استخدام الـ FPGA يعطي قيماً واستقراريه ترددية أفضل من الأدوات المنافسة الأخرى مثل المتحكمات المصغرة[3].

يمكن باستخدام عداد احداث تأخير زمني زمن نبضات الساعة للحصول على ازمنة أخرى وترددات جديدة [4]. في هذه الدراسة فقد تم تطوير علاقة يتم فيها حساب جميع قيم الثوابت بشكل تلقائي داخلي. تم تطوير علاقة تربط بين التردد ونبضة الساعة تشمل تردداً متغيراً عن طريق المستخدم. وذلك عن طريق قياس تردد الخرج مع نبضات الساعة ومتحولات الدخل الممثلة لقيمة التردد المطلوب المدخل عند مجموعة قيم، ومن خلال هذه الدراسة وباستخدام الاستقراء الرياضي والاستفادة من المنحنيات الممثلة للعلاقة بين هذه المتحولات تم التوصل إلى العلاقة فيما بينها من أجل تردد دخل عام. أوضحت الدراسة أن إدخال التردد بقيمة خيارية يتطلب إنشاء متحولٍ داخلي مفتوح وهو أمر لا يمكن أن يتم بلغات البرمجة التي تصف العتاد الصلب وهذا الامر تطلب ادخال العلاقة بشكل خاص ضمن الكود البرمجي المستخدم. تطلب ادخال هذه العلاقة دراسة طويلة ضمن الـ VHDL للوصول لكود يمثل هذه العلاقة. تمت هذه الدراسة بالمحاكاة ثم التنفيذ التجريبي على إشارة مربعة وقياس ترددها من أجل قيم مختلفة للدخل، وثم تعميم هذه الدراسة لتشمل اشكال أخرى من الإشارات مثل إشارة اسنان المنشار والاشارة المثلثية وقد تم التحقق من موثوقية هذه العلاقة مع أي شكل للإشارة.

2- أهمية البحث وأهدافه:

تتركز أهمية البحث في العلاقة المستنتجة وشموليتها على المجلات الزمنية كون جميع الدراسات السابقة القائمة [1]،[2] قد اقتصرت اما على ترددات ثابتة او مجال ترددي واحد فقط ، فالعلاقات المستنتجة هي من اجل عدة مجالات زمنية ومن اجل عدة قيم لنبضات الساعة وتضمن الحصول على نفس قيمة المطلوب. وأن المولدات الترددية الأخرى [5] التي تعتمد على دارة ترانزستوريه تتبع قيمها المولدة لقي العناصر الخارجية المتصلة بها. في هذه الدراسة تم اعتماد طريقة المستوى العالي (High-Level) في برمجة الشريحة حيث تقدم هذه الطريقة تعاملاً سلسلاً مع الأدوات ذات عدد الخانات المرتفع (32 bit) [6].

3-الدراسة التجريبية:

3-1 الأجهزة والأدوات المستخدمة:

3-1-1-برنامج Quartus Prime 17.1

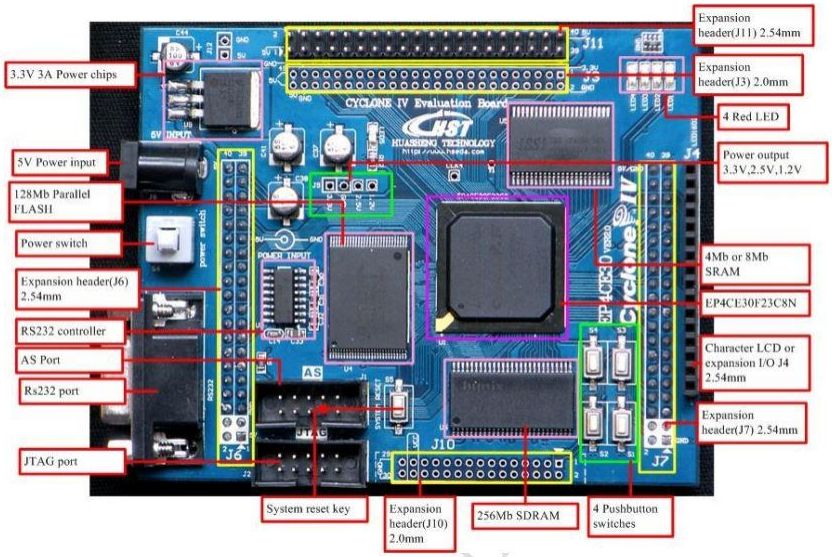
3-1-2- ALTERA FPGA Chip EP4CE30

3-2 أولاً شريحة المصفوفة القابلة للبرمجة حقلياً ALTERA FPGA Chip EP4CE30:

إن هذه الشريحة تنتمي الى العائلة CYCLONE IV وهي عائلة لشرائح FPGA تصنعها شركة انتل (التيرا سابقاً). تحتوي هذه الشريحة على 28848 عنصراً منطقياً وعلى 132multiplexerوعلى 329 قطب دخل/خرج وعلى بلورتين لنبضة الساعة(CLK). ويبين الجدول (1) العناصر الأخرى المضمنة بالبورد إضافة الى شريحة ال FPGA. يوضح الشكل (1) صورة للوحة التجريبية المستخدمة في تنفيذ التصميم. تم استخدام في هذا التصميم 14 قطب للدخل وقطب واحد للخرج إضافة للأرضي و72 عنصراً إلكترونياً لتنفيذ عدادات ومسجلات إزاحة وناخب.

الجدول (1): العناصر الأخرى المضمنة بالبورد إضافة الى شريحة ال FPGA

Flash	EPCS64(64 Mbit)-EPCS28(128Mbit)
SRAM	256K*16BitSRAM(4Mbit)
SDRAM	16M*16Bit SDRAM,133MHz,256Mbit
CLK	50Mbit,40Mbit



الشكل (1):صورة للوحة التجريبية المستخدمة

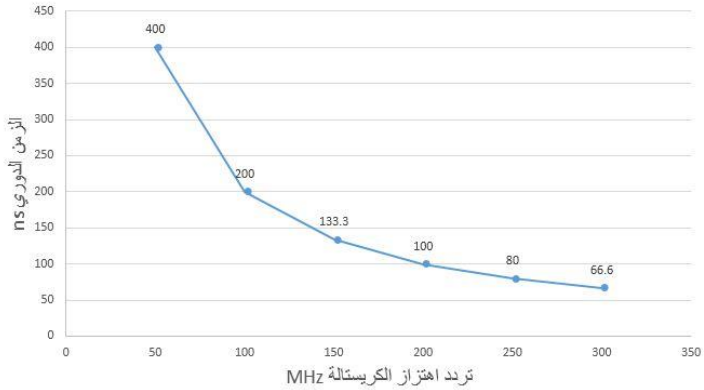
3-3- الدراسة العملية لعلاقة الزمن الدوري في الخرج:

من أجل معرفة العلاقة بين نبضات الساعة المولدة من كريستالة الاهتزاز والزمن الدوري للخرج تم قياس الزمن الدوري مع الناتج من مضاعف للزمن الدوري (مقسم للتردد) من أجل مجموعة ترددات لنبضات الساعة ويبين الجدول (2) قيم الزمن الدوري والتردد المقابل لكل تردد لنبضات الساعة [7]، حيث تم استخدام عداد كمقسم للتردد ومضاعف للزمن الدوري والنتائج المطروحة هي عندما يعد العداد من 0 الى 9.

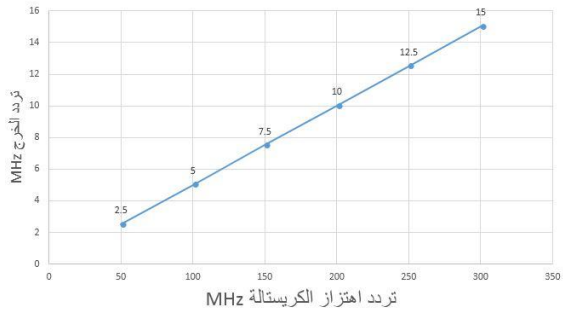
الجدول (2) يبين تغيرات الزمن الدوري وتردد الخرج وكل منهما بدلالة نبضات الساعة

CLK(MHz)	50	100	150	200	250	300
T(ns)	400	200	133.3	100	80	66.6
F(MHz)	2.5	5	7.5	10	12.5	15

وبتمثيل الجدول السابق على محور بيانات نحصل على شكل التغيرات بين المتحولات السابقة حيث يوضح الشكلين (2-a,2-b) تغيرات الزمن الدوري للخرج مع تردد نبضات الساعة، وتغيرات تردد الخرج مع تردد نبضات الساعة على الترتيب.



الشكل (2-a) يبين تغيرات الزمن الدوري بدلالة نبضات الساعة



الشكل (2-b) يبين تغيرات تردد الخرج بدلالة نبضات الساعة.

يمكن استخلاص العلاقة بين التردد ونبضات الساعة من الشكل السابق بسهولة حيث أنه من الواضح أن العلاقة بينهما هي خطية[7]، وتمثل العلاقة (1) العلاقة بينهما، أما علاقة الزمن الدوري مع نبضات الساعة فهي علاقة غير خطية بحيث يرتبط مع مقلوب تردد نبضات الساعة بالعلاقة (2).

$$F = M * CLK \quad (1)$$

$$T = \frac{G}{CLK} \quad (2)$$

حيث: M,G هي ثوابت تتعلق بقيمة مقسم التردد، F تردد الخرج،T الزمن الدوري للخرج CLK تردد نبضات الساعة.

الآن لتعيين قيم الثوابت تمت دراسة تغيرات كل من الزمن الدوري والتردد للخرج مع مضاعف الزمن الدوري (مقسم التردد) وذلك من أجل قيمتين مختلفتين لتردد نبضات الساعة تم دراسة الزمن الدوري والتردد من أجل نبضات ساعة بتردد

100MHz عن طريق برنامج المحاكاة ومن أجل تردد 40MHz في الدارة العملية وذلك للتحقق من شمولية العلاقة. يوضح الجدولين (3,4) تغيرات الزمن الدوري في مجالين زمانيين مختلفين من أجل تردد نبضات 100MHz.

الجدول (3) تغيرات الزمن الدوري في مجال (ns) بدلالة n العد النهائي لمضاعف الدور من أجل تردد نبضات ساعة 100MHz

n	1	2	3	4	5	6	7	8	9
T_{out}(ns)	40	60	80	100	120	140	160	180	200

الجدول (4) تغيرات الزمن الدوري في مجال (µs) بدلالة n العد النهائي لمضاعف الدور من أجل تردد نبضات ساعة 100MHz

n	100	101	102	104	105	106	107	108	109
T_{out}(µs)	2.02	2.04	2.06	2.08	2.1	2.12	2.14	2.16	2.18

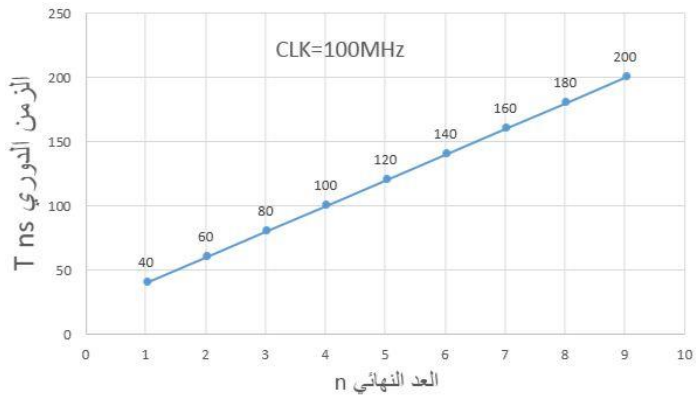
الجدول (5) تغيرات الزمن الدوري في مجال (ns) بدلالة n العد النهائي لمضاعف الدور من أجل تردد نبضات ساعة 40MHz

n	1	2	3	4	5	6	7	8	9
T_{out}(ns)	100	150	200	250	300	350	400	450	500

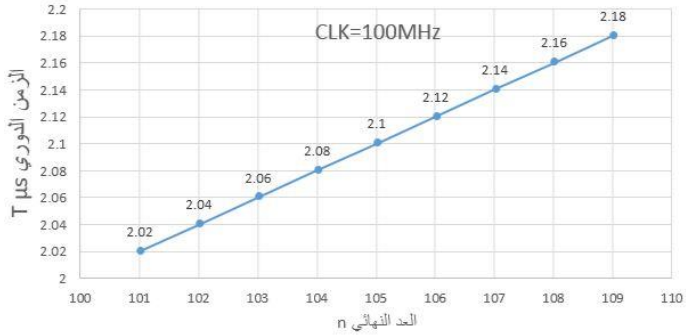
الجدول (6) تغيرات الزمن الدوري في مجال (µs) بدلالة n العد النهائي لمضاعف الدور من أجل تردد نبضات ساعة 40MHz

n	100	101	102	104	105	106	107	108	109
T_{out}(µs)	2.05	2.10	2.15	2.20	2.25	2.30	2.35	2.40	2.45

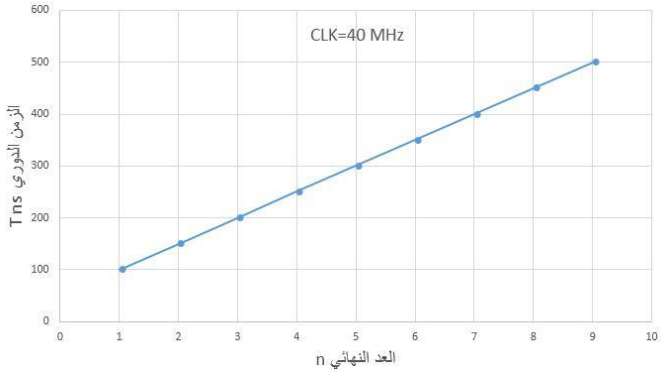
تمت الدراسة في مجالين مختلفين متباعدين لتحقيق مبدأ الاستقراء الرياضي لتعميم العلاقة حيث إن تطابق العلاقتين بين المتحولات في مجالين مختلفين يعني شمولية هذه العلاقة لجميع المجلات الزمنية للزمن الدوري.



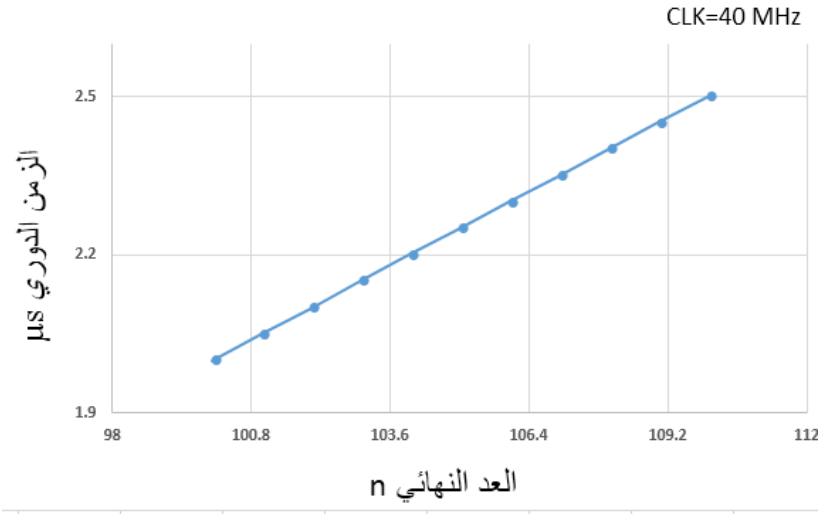
الشكل (3-a) تغيرات الزمن الدوري في مجال ns بدلالة نبضات الساعة



الشكل (3-b) تغيرات الزمن الدوري في مجال µs بدلالة نبضات الساعة



الشكل (4-a) يبين تغيرات الزمن الدوري في مجال ns بدلالة نبضات الساعة



الشكل (4-b) يبين تغيرات الزمن الدوري في مجال µs بدلالة نبضات الساعة

من الأشكال (4-a,4-b) ,(3-a,3-b) والعلاقة (2) يمكن كتابة العلاقة النهائية

للزمن الدوري مع كل من نبضات الساعة ومضاعف التردد بـ:

$$T = \frac{2(n+1)}{CLK} \quad (3)$$

حيث:n يمثل القيمة التي يعد من أجلها العداد ليعمل كمضاعف للزمن الدوري.

بالاستفادة من العلاقة (3) نجد أنه $G = 2(n+1)$ و $M = \frac{1}{G}$ يمكن كتابة علاقة تردد الخرج بالشكل:

$$F = \frac{CLK}{2(n+1)} \quad (4)$$

بعد الوصول للعلاقة التي تربط الزمن الدوري والتردد بنبضات الساعة والعداد. أُجريت دراسة لتحديد الزمن الدوري للخرج بدلالة الدخل كعدد عشري في الدخل ويتم اختيار رتبته عن طريق متحول مستقل. لتنفيذ هذا الامر ضمن لغة VHDL [11],[10] يجب أن يكون الزمن الدوري المدخل مؤلف من ثلاثة متحولات لتمثل ثلاث خانات ونوع هذه المتحولات هو:

STD_LOGIC_VECTOR (4 DOWNTO 0)

حيث تعطي هذه المتحولات قيمة الزمن الدوري المطلوب العلاقة (5) التي تبين العلاقة في النظام العشري أما العلاقة (6) فهي العلاقة المدخلة في الكود وهي مكتوبة في النظام الثنائي حيث إن T_{in} هو من النوع:

STD_LOGIC_VECTOR (10 DOWNTO 0)

وهو يمثل الزمن الدوري المدخل المراد الحصول عليه في الخرج. الأن يجب جعل الزمن الدوري للخرج مساوي لهذه القيمة، لتنفيذ ذلك تم استخدام عداد خاص يعد لقيمة n وهذه القيمة تحدد بحسب قيمة T_{in} وذلك بالاستفادة من العلاقة (3) يمكن كتابة العلاقة (7) بين نبضات الساعة و n وT_{in}. يوضح الجدول (7) تغيرات الزمن الدوري والتردد وقيمة n من اجل نبضة ساعة CLK=100MHz بدلالة القيمة المدخلة T_{in}.

$$T = (A + B*10 + C*100) \quad (5)$$

$$T_{in} <= (A + B*"1010" + C*"1100100") \quad (6)$$

الآن وبعد إدخال قيمة الدخل المراد الحصول عليها في الزمن الدوري للخرج

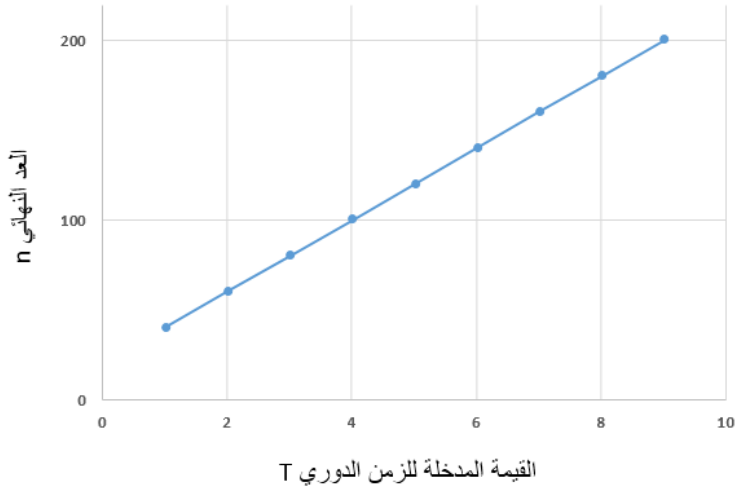
يجب تحديد قيمة العد التي يجب على العداد الخاص القيم بها لقسمة تردد الساعة الى القيمة المطلوبة وذلك باستخدام العلاقة (7).

$$n = \frac{T_{in} * CLK}{2} - 1 \qquad (7)$$

يوضح الجدول (7) تغيرات الزمن الدوري والتردد مع قيمة n من اجل نبضة ساعةCLK=100MHz

الجدول (7) تغيرات الزمن الدوري والتردد مع قيمة n من أجل نبضة ساعة CLK=100 MHz.

T_{in}(ns)	40	60	80	100	120	140	160	180	200
n	1	2	3	4	5	6	7	8	9
T_{out}(ns)	40	60	80	100	120	140	160	180	200
F(MHz)	25	10	6.25	4.5	3.5	2.94	2.5	2.17	1.92



الشكل (5-a) تغيرات n مع القيمة المدخلة للزمن الدوري

3-الاستنتاجات:

1- يرتبط الزمن الدوري للخرج عكساً مع نبضات الساعة ويمكن توليد أي زمن دوري يمثل عدداً صحيحاً من قيمة زمن نبضة الساعة.

2- باستخدام عداد خاص يمكن تغيير قيمة عده النهائية باستخدام متحول في الدخل يمكن التحكم بالزمن الدوري للخرج وذلك ضمن العلاقات التي تم استنتاجها.

3-تعطي شريحة الـ FPGA زمناً دورياً قابلاً للتغيير دون الحاجة تتغير المكونات المتصلة بها بحيث إن الزمن الدوري المولد إلكترونياً يتم تغييره من داخل الـFPGA وليس هناك

ضرورة للاستعانة بعناصر أخرى.

المراجع:

[1]. S. Ding, A. An, X. Gou et al, 2012, **Digital Waveform Generator Based on FPGA**, Research Journal of Applied Sciences, Engineering and Technology, Vol. 4, No. 14, P: 2160-2166.

[2] B. K. Upadhyaya, 2009, **Design and Development of VHDL Based Tunable Sine Wave Generator Using DDS Technique: Extension to FPGA Implementation**, National Certifiction Corporation.

[3] S. j. Yu, E. Fajeau, et al, 2017, **The performance and limitations of FPGA-based digital servos for atomic, molecular, and optical physics experiments**, Review of Scientific Instruments, Vol. 89, P:4.

[4]. T. W. Siu, C. W. Sham, F. Lau, 2017, **Operating Frequency Improvement on FPGA Implementation of a Pipeline Large-FFT Processor**, International Conference on Advanced Communications Technology, P:4

[5].R. K. Ranjan, K. Mazimdar, et al, 2017, **Generation of square and triangular wave with independently controllable frequency and amplitude using OTAs only and its application in PWM**, Springer Science+Busini0ness Media new York.

[6] A. Boutors, B. Grady, et al, 2017, **Build Fast, Trade Fast: FPGA-based high-frequency trading using high-level synthesis, Department of electrical and computer engineering**, University of Toronto, P: 5.

[7]. W. Song, J. Zhang, Q. Yao, 2009, **Design and Implement of BPSK Modulator and Demodulator Based On Modern DSP Technology**, IEEE International Symposium, P:1135-1137.

[8] S. S. Prasad and S. K. Sanyal, 2005, **A Novel Direct Digital Synthesis Technique to Generate Low Frequency Acoustic Signal for Underwater Signal Processing using Digital Signal Processor**, in Proc. of Symposium on Ocean Electronics, Cochin, India, P:170-175.

[9] J. Rose, A. El Gamal, A. Sangiovannic - Vincentelli, 1993, **Architecture of Field Programmable Gate Array**, Proceedings of IEEE, Vol. 81, No.7, P:1013-1029.

[10] Douglas L. Perry, VHDL, 2002, **Programming by Example**, Tata McGraw Hill, New Delhi.

[11] H. Malik, M. Mahajan, et al, 2014, **Design and implementation of Bpsk Modulator and Demodulator Using Vhdl**, IOSR Journal of Electriomcs and Communication Engineering, Vol.9, P:98-105.